

Synchronisation und Serialisierung

BS I.3.1, IPC-Intro, WS08

Race conditions

- Grundproblem: Zugriffskonflikte
 - Beim nebenläufigen Zugriff auf gemeinsame Variablen können Effekte (Artefakte) auftreten, die bei beliebiger Hintereinander-Ausführung der Zugriffe unmöglich wären.
 - Das Ergebnis des Codes kann von der genauen zeitlichen Ausführung abhängen, d.h. vom Wettslauf der Akteure um den Zugriff auf die gemeinsame Variable (*race condition*).
- Ziel: Serialisierbarkeit durch Synchronisation
 - Die Ausführung kritischer Zugriffe soll zwischen den Akteuren so **synchronisiert** werden, dass das Ergebnis nicht vom timing der Zugriffe abhängt. Es sollen nur solche Effekte auftreten können, die auch bei einer **Serialisierung** (beliebige Hintereinander-Ausführung) möglich wären.



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

BS I.3.1, IPC-Intro, WS08

Race conditions

- Race conditions
 - beim Zugriff auf gemeinsame Variablen
 - gemeinsames Lesen problemlos
 - Grundproblem
 - Update: erst Lesen, dann (verändert) Schreiben
 - Update kann unterbrochen werden
- 2 Problemtypen
 - Ausfall
 - einer der Updates verpufft wirkungslos
 - Inkonsistenz
 - zusammengetasetzte Datenstruktur nach Update inkonsistent



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

BS I.3.1, IPC-Intro, WS08

BS I.3.1, IPC-Intro, WS08

Ausfall bei Zugriff auf Bank-Konto

BS I.3.1, IPC-Intro, WS08

Automat 1

Kontostand

Automat 1

100€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Stand = Stand - 90

10€

Stand = 100€

Auszahlung 90€

Race condition bei Zuweisung

BS I.3.1, IPC-Intro, WS08

- Ergebnis einer Operation hängt von zeitlichen Zufälligkeiten ab (gemeinsames Rennen zum Ziel)

```
int P1()
{
    static int z;
    z=1;
    return(z);
}
```

- Ergebnis von P1 / P2 ist je nach dem:

1 / 1 oder 1 / 2 oder 2 / 2
Artefakte

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

Increment Race

BS I.3.1, IPC-Intro, WS08

- Ergebnis einer Inkrement / Dekrement Operation hängt von zeitlichen Zufälligkeiten ab

```
int P1()
{
    static int z;
    z=2;
    return(z);
}
```

- Ergebnis von P1 / P2 ist je nach dem:

1 / 1 oder 1 / 2 oder 2 / 1 oder 2 / 2

- Ein Inkrement kann verloren gehen.



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

Zugriffskonflikt mit Inkonsistenz

BS I.3.1, IPC-Intro, WS08

- Gemeinsame Datenstruktur ist zusammengesetzt

- Größer als 1 Wort

- long (bei 32 bit Architektur)
- double (bei 32 bit Architektur)
- Record / Objekt / File etc.

- Beispiel: gemeinsames Objekt x, x.a = x.b = 1.

- P1 liest ya = x.a (=1).
- P2 schreibt x.a = 0; x.b = 0.
- P1 liest yb = x.b (=0).

→ P1 hat inkonsistente Kopie von x

- Konflikt schon bei 1 Schreiber und 1 Leser.



SR

12



SR

13



Wolfgang Küchlin

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

14

Beispiel: Inkonsistenz

BS I.3.1, IPC-Intro, WS08

```
writer (a)
int a[2];
{ a[0] = 1;
  a[1] = 1;
}
```

reader (a)

```
int a[2];
{ x = a[0];
  y = a[1];
}
```

```
T1
Zeit
↓
location[0] = 1;
location[1] = 1;
```

T₂

x = 0;

y = 1;



SR

11



SR

15



SR

16



Wolfgang Küchlin

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen

Beispiel: Update eines Datensatzes

BS I.3.1, IPC-Intro, WS08

- Schlüsselpaar für kryptographisches Verfahren wird nach jedem Gebrauch mit neuen zufällig gewählten Schlüsseln erneuert



```
P0:  
    ↓  
    r = random();  
    A = create_A(r);  
    B = create_B(r);  
    ↓
```

P1:
 ↓
 r = random();
 A = create_A(r);
 B = create_B(r);
 ↓

- Möglichkeit, dass A und B von verschiedenen r stammen (und somit nicht zusammenpassen) → **Inkonsistenz**

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 13 SR

Bereinigung von Zugriffskonflikten

BS I.3.1, IPC-Intro, WS08

- kritische Abschnitte (KA)
 - Codesequenzen, die zu Zugriffskonflikten führen können

➤ kritische Ressourcen (KR)

- kritische Abschnitte
- gemeinsame Datenstrukturen
- Synchronisation durch code oder data locking
- Hilfsmittel für locking: Schlossvariable (*mutual exclusion lock, mutex*)

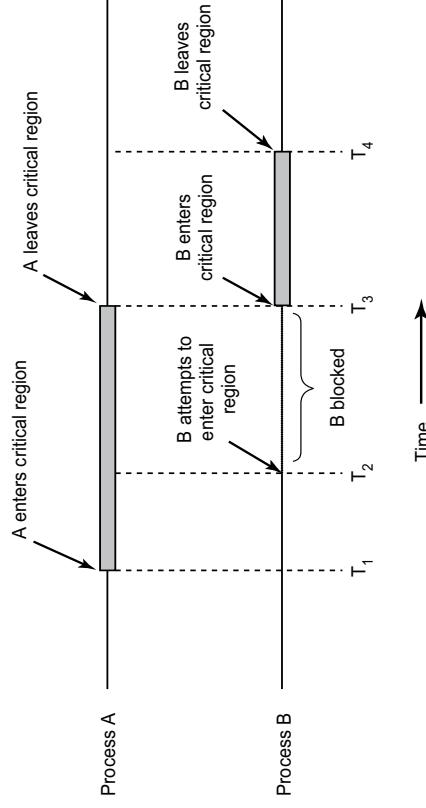
```
void mutex_lock(m) {  
    mutex_t m;  
}
```

```
void mutex_unlock(m)  
{  
    mutex_t m;  
}
```

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 14 SR

Kritische Abschnitte

BS I.3.1, IPC-Intro, WS08



Zugriffskonflikte: Lösungsansatz

BS I.3.1, IPC-Intro, WS08

- Allgemein: Schutz von kritischen Ressourcen
 - Schutz vor Code-Sequenzen
 - Kritische Bereiche/Abschnitte (Critical Section, Critical Region)
 - Lösung mit Code Locking

```
P0:  
    f (int* ip) {  
        ↓  
        lock();  
        *ip = *ip + 1;  
        unlock();  
    }  
    ↓  
    f (&z);  
    ↓
```

Tanenbaum, Abbildung 2-19: Mutual exclusion using critical regions
Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 15 SR



16 SR

16



Zugriffskonflikte: Lösungsansätze (II)

BS I.3.1, IPC-Intro, WS08

Granularität

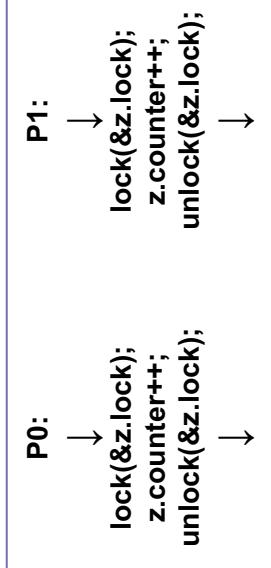
BS I.3.1, IPC-Intro, WS08

➤ Schutz von Daten: Kritische Daten (**Critical Data**)

➤ Lösung mit **Data Locking**

- Daten mit Lock:

```
struct lockedcounter {  
    mutex_t lock;  
    int counter;  
};
```



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

➤ Wichtiger Gesichtspunkt für Effizienz:

Granularität (grain size)

➤ Locking kann sein:

- grob-granular (*coarse grained*)
 - Akteure halten sich lange in den KR auf
- Bsp.: Datei-Ebene
- mittel-granular (*medium grained*)
 - Bsp.: Gruppe von Records
- feingranular (*fine grained*)
 - Bsp.: ein Record oder einzelne Komponenten eines Record

➤ Antagonismus zwischen Granularität und Parallelität.



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen

SR

Wechselseitiger Ausschluss: Desiderata

BS I.3.1, IPC-Intro, WS08

n Prozesse mit kritischen Bereichen

- Gegenseitiger Ausschluss garantiert, dass max. 1 Prozess in einem kritischen Bereich ist.

Gesuchtes Verfahren soll erfüllen

1. **[Korrektheit]**
Nie dürfen 2 Prozesse gleichzeitig in einem gemeinsamen kritischen Abschnitt sein.
2. **[Allgemeinheit, Portabilität]**
Es dürfen keine Annahmen über Geschwindigkeit oder Anzahl der CPUs in die Lösung eingehen.
3. **[Effizienz]**
Kein Prozess, der außerhalb eines kritischen Abschnitts läuft, darf einen anderen Prozess aufhalten (blockieren).
4. **[Fairness]**
Kein Prozess muss je ewig darauf warten, einen kritischen Abschnitt ausführen zu dürfen. (**Starvation**)



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

Lösung auf Stufe Betriebssystem

BS I.3.1, IPC-Intro, WS08

➤ Deaktivieren und Maskieren von Unterbrechungen in kritischen Abschnitten.

- Elegant!
- Funktioniert nur bei 1-Prozessor-Maschinen
 - oder asymmetrischen Multiprozessoren, bei denen nur Master-Prozessor Interrupts bearbeitet.
- Anfällig auf Probleme (blockieren, etc.)
- Für User Prozesse ungeeignet
 - Blockieren aller Ressourcen durch User-Prozess möglich
 - Alle Nachteile von single-Tasking BS
 - In Spezialfällen dennoch möglich (z.B. Mikrocontroller)



SR

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen

20 SR

Software-Lösungen für Lock/Unlock

BS I.3.1, IPC-Intro, WS08

Versuch II (Strict Alternation)

```
P1:    p = 0          P2:          while (...) {  
while ( ...) {  
...           ...  
while (p != 0);  
p=1;          while (p != 0);  
... (krit. Bereich)  p=2;  
p=0;          ...  
...           }  
}
```

Probleme

- nicht korrekt
 - bei Unterbrechung zwischen Test und Zuweisung
- Aktives Warten (**Busy Waiting**)

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 21 SR 

```
P1:  
while (1) {  
    while (!turn) {  
        ...  
        while (turn != 1); //wait  
        critical_section();  
        turn = 2;  
        rest10;  
    }  
}  
  
P2:  
while (1) {  
    while (turn != 2); //wait  
    critical_section();  
    turn = 1;  
    rest20;  
}
```

Probleme

- Strikt abwechselnde Nutzung des kritischen Bereichs, die while (...) werden damit synchronisiert.
- Verletzt:
 - Allgemeinheit, Wettbewerb, evtl. auch Starvation
- Aktives Warten (**Busy Waiting**)

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 22 SR 

Versuch III (Setzen eigenes und Testen fremdes Flag)

BS I.3.1, IPC-Intro, WS08
Versuch IV (Testen fremdes und Setzen eigenes Flag)

```
P1:  
bereit[1] = FALSE;  
while (...) {  
...  
    bereit[2] = TRUE;  
    while (bereit[1]); //wait  
    ... (krit. Bereich)  
    bereit[2] = FALSE;  
...  
}
```

```
P2:  
bereit[2] = FALSE;  
while (...) {  
...  
    bereit[2] = TRUE;  
    while (bereit[1]); //wait  
    ... (krit. Bereich)  
    bereit[2] = FALSE;  
...  
}
```

Korrekt, keine strikte Abwechslung vorgeschrieben

Probleme

- Nicht korrekt bei gleichzeitigem while (bereit[.])
- III/IV gemischt
 - Ebenfalls nicht korrekt bei Unterbrechung nach Test und vor dem Setzen.

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 23 SR 

Probleme

- Nicht korrekt bei gleichzeitigem while (bereit[.])
- III/IV gemischt
 - Ebenfalls nicht korrekt bei Unterbrechung nach Test und vor dem Setzen.

Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen 24 SR 

Versuch V (Lösung von Peterson)

BS I.3.1, IPC-Intro, WS08

```
void enter_region (process)
int process;
{ int other = 1 - process; /* other process */
interested [process] = 1;
loser = process;
while (loser == process && interested [other]) /* wait */;
}

void leave_region (process)
int process;
{ interested [process] = 0; }
```

➤ Ist korrekt, erfüllt unsere Anforderungen

➤ Lösung nicht allgemein, da sie nur für 2 Prozesse funktioniert.

➤ Lösung nur für Prozessnummer aus 1 Byte portabel.



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR

Hardware unterstützte Lösung: TSL

BS I.3.1, IPC-Intro, WS08

- Die meisten Prozessoren bieten gegenseitigen Ausschluss (**Mutex**) in Form von TSL (*Test and Set Lock*).
 - Die TSL Instruktion: **tsl register, lock**
 - Aktionen:
 - register = lock;
 - lock = 1;
 - Speicherbus wird während der Ausführung gesperrt
 - Lesen und Schreiben laufen atomar ab

➤ Semantik:

Alter Wert	Return Wert	Neuer Wert
1	1	1
0	0	1

- SPARC: TSL wird mit LDSTUB implementiert (Atomic Load-Store Unsigned-Byte)



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR



SR

Mutex als Spin-Lock

BS I.3.1, IPC-Intro, WS08

- *spin lock*: wechselseitiger Ausschluss mit aktivem Warten

```
while ( TSL(a) == 1 );
      : (krit. Bereich)
*a = 0;
```

```
mutex_lock(&a); als spin lock
krit. Bereich;
mutex_unlock(&a);
```

```
void mutex_lock (lock);
int * lock;
{ while (TSL (lock))
/* wait */; }
```

```
void mutex_unlock (lock);
int * lock;
{ * lock = 0; }
```

Probleme

- TSL-Operation belastet Prozessor und Bus
- Nicht fair, Verhungern ist möglich
- Aktives Warten (teuer!)



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR



SR

</

Mutex als Spin-Lock

BS I.3.1, IPC-Intro, WS08

Mutex als Spin-Lock

► Warten an lokaler Kopie (um Bus zu entlasten)

```
while ( TSL(a) == 1 )
      while (*a == 1 );
      : (krit. Bereich)
      *a = 0;
```

Hauptspeicher-Zugriff
Cache Zugriff

► Probleme

- Nicht fair, Verhungern ist möglich
- Prioritäts-Inversion:
 - Deadlock möglich, falls wartender Prozess höhere Priorität hat, als derjenige, der das Lock hält
 - Lösung durch (temporäre) Vererbung der Priorität. Der Prozess, der das Lock hält, bekommt die Priorität des Wartenden



Wolfgang Küchlin, WSI und STZ OIT, Uni Tübingen



SR



SR

► Mutex für Multiprozessoren

- bisherige Lösung bei Multiprozessorsystemen
- problematisch
 - tSL führt wegen Schreiben ständig zur Invalidierung in allen Caches → lokale Kopie Lock_p der Schlossvariable für jeden Prozessor

```
void mutex_lock (lock_p)
char* lock_p;
{
    while ( TSL(lock_p) {
        while (* lock_p)
    }
}
```

- *burst of activity* in Folge von mutex_unlock



SR

SR</