



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2005 035 152 A1** 2006.03.23

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2005 035 152.2**

(22) Anmeldetag: **27.07.2005**

(43) Offenlegungstag: **23.03.2006**

(51) Int Cl.⁸: **H01L 27/22** (2006.01)
G11C 13/00 (2006.01)

(30) Unionspriorität:
10/903,722 30.07.2004 US

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE;
Altis Semiconductor SNC, Corbeil Essonnes
Cedex, FR

(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667
München

(72) Erfinder:
Ferrant, Richard, Esquibien, FR; Braun, Daniel,
Paris, FR; Louis, Pascal, Longjumeau, FR

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **MRAM und Verfahren zu dessen Herstellung**

(57) Zusammenfassung: Es wird eine MRAM (1) mit einem Substrat (16), auf/über dem eine Anzahl von Wortleitungen (RWL), eine Anzahl von Bitleitungen (BL), eine Anzahl von Speicherzellen (5) und eine Anzahl vertikaler Zugriffselemente (17) vorhanden sind, angegeben; wobei jede Speicherzelle einen widerstandsbehafteten Schnittpunkt einer Wortleitung und einer Bitleitung bildet und wobei jede Speicherzelle in solcher Weise mit einem vertikalen Zugriffselement verbunden ist, dass von einer Wortleitung zu einer Bitleitung über die entsprechende Speicherzelle ein leitender Pfad gebildet wird.

Das Substrat, zumindest ein Teil der Wortleitungen (RWL) oder zumindest ein Teil der Bitleitungen (BL) und zumindest ein Teil der vertikalen Zugriffselemente sind als gemeinsamer, einkristalliner Halbleiterblock ausgebildet.

